

113 年度「前瞻晶片設計軟體技術開發計畫」說明附件一

分項一：開發異質整合與先進封裝的 EDA 工具

壹、計畫背景及目的

因過去多年來業界與學界的研發，單晶片設計自動化工具已經頗為完善，然而針對封裝與 PCB(印刷電路)設計的自動化工具卻相對地缺乏也未見成熟。為接棒摩爾定律，隨着不同種類的 2.5D/3D ICs 之流行，與預期未來要整合大量小晶片(chiplets)於同一封裝下之需求，先進封裝自動化工具將是不可或缺。過往印刷電路板設計大量依賴手動設計來完成，但由於設計愈來愈複雜(如針腳數增加、針腳距離與線距離下降、線長匹配限制等)，已無法繼續以大量人力與時間手動佈局與繞線。另外，傳統上 PCB、IC 與封裝設計由不同的公司負責，無法共同考慮彼此的設計限制。要在各樣設計限制下進一步優化整體系統設計，必須開發晶片、先進封裝與 PCB 的協同設計自動化工具來作規劃與優化。

貳、研究議題範疇

隨着晶片設計產業的發展趨勢，電子設計自動化(EDA)工具必須與時俱進，開發異質整合與先進封裝的 EDA 工具鏈包含但不限於以下項目

(1) 異質整合的系統設計工具鏈

(a) 協同設計下系統成本及效能評估工具

(b) 小晶片(chiplets)、封裝與印刷電路板之整合規劃與優化工具

(2) 先進封裝佈局與驗證工具鏈

(a) 2.5D/3D 封裝的熱、材料應力及可靠度評估工具

(b) 共同優化可靠度及效能的小晶片(chiplets)佈局自動化工具

(3) 針對以小晶片(chiplets)為主之系統的繞線自動化工具鏈(如共同考慮 PCB、封裝基板、interposer 之繞線工具鏈)

叁、計畫重點

針對 2.5D/3D 與目前為接棒摩爾定律的各類先進封裝技術，本分項之目的在於協助台灣在異質整合的系統設計工具上有機會領先國外大廠，為本計畫重點發展項目。本計畫強調開發線段式設計自動化工具鏈的雛型方案，而非單點式工具。並且研究團隊須與國內業界實質合作，或整合至經濟部工研院擬開發之 EDA 平台(前瞻智能化 EDA+晶片設計平台)，以便了解業界需求和整合於現有設計流程中，以至所研發之技術最終能夠順利應用於我國半導體產業中，增進我國在異質整合系統設計上的效率與品質。

分項二：針對前瞻製程技術與新興科技晶片、AI 輔助的設計工具開發

壹、計畫背景及目的

半導體製造技術的進展為前瞻晶片系統整合帶來了兆級電晶體數量的可能性。GAA/Nanosheet 和 CFET 技術在全球先進製程競賽中展現高性能和效率的潛力，使得專注於這些技術的設計自動化和系統層級驗證策略變得至關重要。此外，結合矽光子通訊和量子運算系統的新興科技，有望開發出高頻寬、低功耗、低延遲且高擴充性的次世代計算系統。同時，融合人工智慧的技術將進一步加速晶片設計的效率，提升產品競爭力。我國在 IC 製造、設計與自動化領域具有深厚的基礎，但面對新興科技則相對較為保守。為了因應大環境的挑戰，宜促成產學研深度合作，以確保我國在全球半導體和電子資訊產業中的領先地位。

貳、研究議題範疇

本計畫的研究重點包括：

- (1) 前瞻製程晶片的 EDA 工具鏈
 - (a) GAA/Nanosheet 與 CFET 技術的佈局優化
 - (b) 晶片可靠性、容錯、測試與驗證的整合
- (2) 新興科技晶片設計自動化
 - (a) 矽光子互聯系統的自動化設計工具
 - (b) 量子運算的邏輯合成與佈局策略
- (3) AI 在晶片設計的 EDA 工具鏈
 - (a) 生成式 AI 融合於晶片設計流程

(b) AI 於晶片建模、模擬與優化

參、計畫重點

本計畫的重點是結合我國的半導體前瞻製程與新興科技，發展先進的晶片系統設計自動化技術，並將人工智慧技術整合於設計流程中。計畫的目標產出不僅是創建單點式的設計工具，更著重於建立一套鏈式協同設計流程。執行團隊須與國內外技術領先的產業界或研發團隊深度合作，確保研發成果能夠提升我國前瞻晶片製程與產品的競爭力，並促進新興科技能有效與國內產業橋接。透過運用業界的大量成功設計與數據，期望晶片設計團隊能更有效率地進行設計優化，進而鞏固我國在半導體領域的全球領先地位。